

Configurable Processor

# 제품 차별화를 고려한 독자적인 플랫폼 전략

오늘날 경제적이고 융통성 있는 SoC 설계에 대한 요구는 날로 증가하고 있다. 그러나, 점차 복잡해지고 있는 SoC의 막대한 설계비용 문제와 차별화는 설계방식에 뭔가 중요한 변화를 요구한다. 시스템 구성에 필요한 핵심 기능을 재사용(reuse) 가능한 표준 IP로 구현하여, 시스템 칩의 핵심인 프로세서와 주변 기능을 채우는 설계 방법론은 이미 보편화된 수단이다. 이러한 IP 기반 SoC 설계에 고도의 Configurable 프로세서를 이용한다면, 설계 유연성에 따른 더 많은 이점을 향유할 수 있을 것이다.

글: 윤범진 기자/bjyoon@techworld.co.kr

MP3 플레이어, 디지털비디오카메라, DVD 플레이어, 휴대전화, 네트워크 기기 등은 두 말할 나위 없이 모두 디지털 기기이다. 이러한 기기를 타사 제품과 차별화하기 위해서는 독자적인 플랫폼을 개발할 필요가 있다. 물론 이러한 임베디드 시스템의 핵심이 되는 것은 프로세서이다. 전통적으로 이 같은 차별화를 목적으로 사용돼 온 임베디드 프로세서는 모두 반도체 칩 벤더로부터 공급받았다. 즉, 사양이 결정되어진 범용 임베디드 프로세서 밖에 없었다는 말이다. 따라서 시스템 설계자들은 프로세서 자체를 자신의 애플리케이션에 맞게 변경할 수 없었기 때문에, 이러한 프로세서의 외부에 DSP나 RTL 기반 하드웨어 설계를 조합하여 독자적인 플랫폼을 ASIC이나 보드로 구현했다.

또한 기존의 이러한 프로세서를 사용하여 SoC를 설계하는 경우, 보다 고성능을 실현하기 위해서는 소비전력의 증가를 감수하고 동작 주파수를 높이는 방법 외에는 다른 선택의 여지가 없었다. 이처럼 성능 요건을 만족시키기 위해 동작 주파수를 올릴 경우 소비전력과 발열문제로 좋지 못한 결과를 초래할 수 있다.

사실 SoC 설계용으로 시장에 나와 있는 프로세서 코어의 대부분은 원래 워크스테이션에서의 사용을 상정하여 개발

되었기 때문에 고정되어 있고, 복잡한 버스에 주변 회로를 접속하는데 많은 시간을 필요로 했다. 또한 많은 경우, 대상이 되는 디자인에 필요 없는 기능이 포함되어 있어, 사용하지 않는 게이트 부분까지 실리콘 가격을 지불해야 하는 불합리한 점도 있었다.

이러한 딜레마를 극복하기 위한 대안으로서 제시되고 있는 것이 바로 Configurable 프로세서이다. 시스템 설계자는 Configurable 프로세서를 통해 자신의 애플리케이션에 적합한 사양의 프로세서를 자신의 플랫폼으로서 만들 수 있게 된다. 이것은 마이크로 프로세서 기술의 새로운 단계를 의미하는 것이다.

## 칩 설계의 새로운 흐름

보통 특정용도 대상 프로세서라고 하면, 대개 CPU 코어에 다양한 주변 회로를 결합한 임베디드용 마이크로컨트롤러나 DSP 등을 떠올린다. 그러나 요즘에는 미디어 프로세서(화상/음성처리용 프로세서)를 비롯해 네트워크 프로세서, I/O 프로세서 등 애플리케이션에 특화된 프로세서가 상당수 선보이고 있다. 또한 시스템 업체가 CPU 코어를 내장하는 ASIC(주로 시스템 업체가 개발하는 특정용도 반도체)이나 Configurable 프로세서를 개발하는 예도 꾸준히 늘고 있다.

예컨대 소비가전이나 휴대전화에 탑재되는 프로세서는 PC용 프로세서와 다르며, 목적에 맞게 특화된 제품이 사용된다. 일반적으로 Configurable 프로세서라고 불리는 이러한 구성 가능한 프로세서를 사용하면 가격은 30~40만 달러로 비교적 높은 편이지만(총 개발비용

## Configurable에 대한 진실

Configurable을 이야기하기 앞서, 먼저 프리미티브한 Synthesizeable부터 알아보자. 오늘날 프로세서 IP 벤더들은 거의 대부분 Synthesizeable 프로세서 IP를 다루고 있다. 이것은 Synthesizeable, 즉 Verilog RTL 등의 반도체 설계 언어로 기술된 추상도 높은 레벨의 모델을 논리 합성 컴파일러를 통해 하드웨어화하여 만드는 프로세서이다. 당연히 이것과 대비되는 것은 핸드 메이드로 설계된 고전적 프로세서라고 한다. 핸드 메이드 설계가 어셈블러 코딩이라고 한다면, Synthesizeable은 확실히 고급 언어이다. 핸드 메이드가 나쁜 것은 아니다. 사용할 수 있는 프로세서의 한계까지 다 사용하려고 생각하면 핸드 메이드를 능가하는 논리 합성 컴파일러는 지금으로서 없기 때문이다. 그러나, 다른 프로세스에 이식하려 한다면 컴파일 재시도로 끝나는 Synthesizeable은 재이용성이 높다. 또한 RTL 코드를 수정하면 간단히 기능을 변경하는 것도 가능하다.

여기서 Synthesizeable의 이점을 조직적으로 확장하고 프로세서에 명령을 간단히 추가할 수 있게 한 것이 Configurable 프로세서이다. 예를 들면, 소프트웨어로 MPEG 부호화를 할 경우에, 프리미티브한 명령 프로그램으로 부호화하지 않고 IDCT(역이산코사인변환: 압축 데이터의 전개시 이용되는 명령) 연산 명령으로 한다면 프로그래밍은 대단히 용이해질 것이다. IDCT만큼 기능이 크지 않아도 특정 처리가 하나의 명령으로 되었다면 효율이 많이 좋아진다. 그러한 요구에 부합하는 것이 Configurable이다.

Configurable의 경우, 하드웨어의 추상화에 머무는 Synthesizeable과 결정적으로 다른 것은 회사에 의해 실현 가능한 수준은 다르지만 그러한 확장 명령을 지원하기 위한 컴파일러와 디버거, 시뮬레이터 툴까지 포함해 전체적으로 '합성'된다는 점이다.

현재 Configurable 프로세서 전문 회사에는 대표적으로 Tensilica와 ARC International이 있다. 여기에 MIPS Technologies가 참여하면서 혼전 양상을 보이고 있다. IP 톱 업체인 ARM은 Synthesizeable 프로세서 코어를 공급하고 있지만, Configurable 프로세서 코어에 대한 계획은 아직 없는 듯하다.

측면에서 보면 다른 해석도 가능하다) 개발기간 단축, 특화된 애플리케이션에 적용, 소비전력 및 동작속도 등 필요한 요건을 충족시킬 수 있다.

요즘처럼 수천 달러에 육박하는 SoC 설계비용과 타임투마켓 요구, 시시각각 변하는 시장상황 등, 많은 도전 과제가 설계자들을 압박하고 있는 상황에서 일련의 제품들을 염두에 두고 설계하지 않으면 안된다. 또한 다양한 제품들간에 디자인을 공유할 수 있는 유연성을 구현하지 않으면 안된다.

따라서, SoC 설계가 일반화되고 있는 요즘 상황에서 이러한 유연성을 제공하는 프로세서의 용도는 더욱 확대될 전망이다. 현재 미국 Tensilica의 Xtensa와 ARC International의 ARCTangent 등이 Configurable 프로세서의 대표적인 예라고 할 수 있다.

## Xtensa 프로세서 코어

Tensilica([www.tensilica.com](http://www.tensilica.com))의 Xtensa 프로세서는 자체 기능 설정 및

확장, 회로 합성이 가능한 32비트 RISC 프로세서 코어로서, 임베디드 SoC에 적용하려는 응용프로그램을 위해 설계된 32비트 RISC 마이크로프로세서 아키텍처이다.

Xtensa는 기능 설정이 가능하도록 장안되었기 때문에 설계자들이 직접 적당한 작업을 해서 타깃 SoC에 맞게 응용프로그램을 설계할 수 있도록 되어 있다.

그림 1에서 보는 바와 같이 Xtensa 아키텍처는 여러 가지 기능 설정이 가능한 블록들로 구성되어 있다. Configurable Function 블록들은 시스템 설계자가 파라미터 값을 줄 수 있는 부분들이다. 그리고 Optional Function 블록들은 특정 응용프로그램들의 기능 가속화를 위한 부분이며, Optional and Configurable 블록들은 주변 기기를 포함한 응용프로그램들에 적절히 짜 맞도록 선택할 수 있는 부분들이다. Advanced Designer-Defined Functions 블록은 주어진 SoC 설계에 대한 특정 알고리즘을 가속화하기 위해 설계자가 프로세서에 추가하는 하드웨어 실행 유닛과 레지스터들이다. 끝으로 Base Instruction Set 아키텍처는 모든 설정에 공통이다.

Xtensa 32비트 아키텍처의 기본으로는 32비트 ALU와 최고 64개의 범용 레지스터, 6개의 특수 목적 레지스터 및 향상된 16비트 및 24비트 RISC 명령어 엔코딩을 포함해 80개의 기본 명령어 등으로 이루어져 있다.

그림 2와 같이 Configurable Xtensa 프로세서 코어는 하드웨어 및 소프트웨어의 유용한 결과물들과 함께 여러 가지 지원 툴 등을 제공하여 응용프로그램에 적합한 임베디드 SoC를 만들 수 있게 한다. 즉, Xtensa 솔루션은 회로 합성이 가

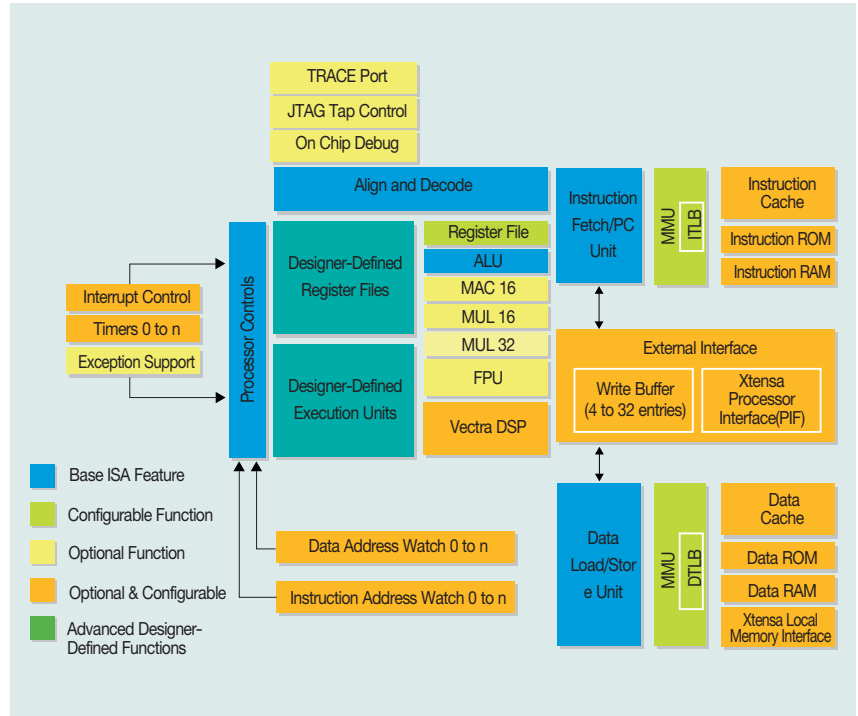


그림 1. Xtensa 아키텍처 블록 다이어그램

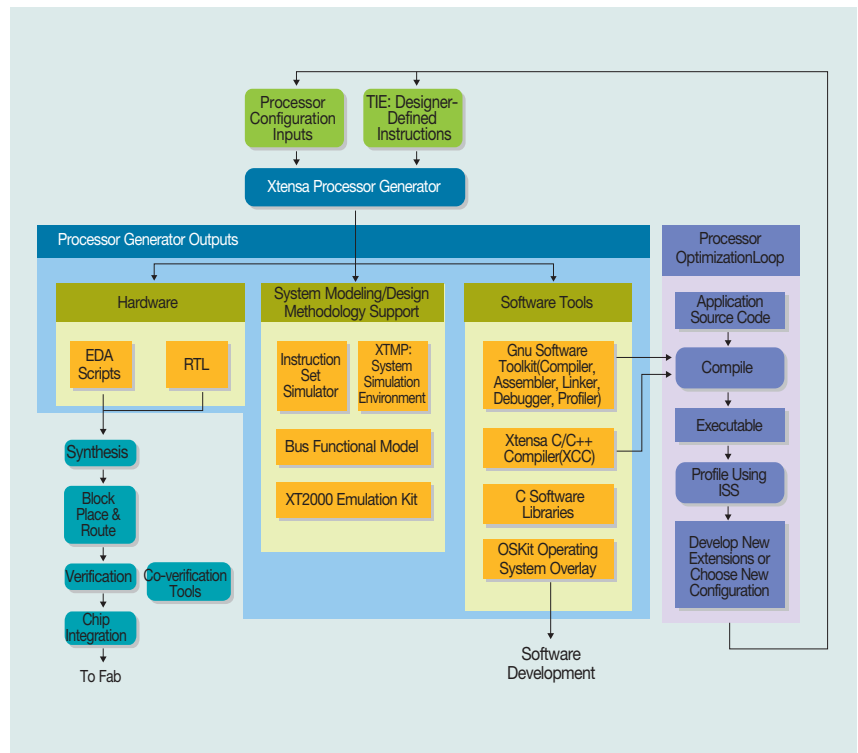


그림 2. Xtensa 프로세서 솔루션



능한 RTL 레벨 디자인, 필요한 모든 소프트웨어 개발 툴, 회로 합성/스캔/P&R 스크립트, 업계표준의 셀 라이브러리 및 메모리 블록, 게이트 레벨 및 RTL 레벨의 시뮬레이션/기능 검증, 버스의 기능 모델, 정확한 명령어 세트 시뮬레이션 모델, RTL 레벨의 코어 테스트 벤치 등의 기능들을 제공한다.

### Xtensa 프로세서 생성기의 기능

Xtensa 프로세서 생성기는 웹 화면상에서 직접 사용할 수 있게 되어 있다. 따라서, 시스템 설계자, 하드웨어 또는 소프트웨어 개발자들은 그것을 통해 명령어 설정 옵션, 메모리의 구조, 인접 블록 및 응용프로그램에 필요한 외부 인터페이스 등을 지정할 수 있고 또한 Tensilica 명령어 확장(TIE) 언어를 사용하여 많은 데이터 유형과 명령 및 실행 유닛을 설계할 수 있다. 그렇게 해서 Xtensa 프로세서 생성기는 완벽하게 회로가 합성이 되는 하드웨어 디자인과 잘 정리된 소프트웨

어 환경을 단 수 시간 만에 만들게 된다 (그림 2 참조). 그리고 소프트웨어 결과물에 대해서는 프로파일러와 다양한 시뮬레이션 모델, 지원되는 RTOS를 사용하여 소프트웨어 개발, 시스템 레벨의 시뮬레이션 및 검증을 수행할 수 있다.

### TIE 언어

TIE 언어는 더욱 많은 새로운 명령어와 레지스터 및 실행 유닛을 표현하여 자동적으로 Xtensa 프로세서에 그 기능을 추가할 수 있다. TIE는 Verilog와 유사한 언어로 명령어, 피연산 함수, 부호화 및 기타 기능 동작 등을 표현하는데 사용된다. TIE 파일들은 Xtensa 프로세서 생성기에 입력되고, 프로세서 생성기는 자동으로 해당 버전의 Xtensa 프로세서와 필요한 소프트웨어 도구를 만들며, 이 도구는 다시 더 나은 새로운 TIE를 만드는데 사용되게 하고 있다.

C- 코드로 짜여진 명령어 또한 내부 기능 콜로 사용할 수 있으며, Xtensa 컴

파일러는 이것을 자동으로 최적의 스케줄링된 어셈블리 코드로 만들게 된다.

### 소프트웨어 개발 도구

Xtensa 소프트웨어 개발환경은 업계표준의 GNU 도구들, C/C++ 컴파일러(gcc), 어셈블리, 링커 및 디버거(gdb)로 구성되어 있는데, Tensilica는 이 도구들을 Xtensa 명령어 세트 아키텍처에 맞게 최적화했다. 또한 특정 하드웨어 설정에 따른 다양한 종류의 명령어 패키지를 만들었다. 아울러 쉬운 오류 수정을 위해서 데이터 디스플레이 디버거(DDD)를 통해 사용자 인터페이스(GUI)를 제공한다.

### ARCTangent 프로세서 코어

ARC International(www.arccores.com)은 ASIC, ASSP, FPGA, SoC 등의 설계 목표를 달성하기 위한 방법으로 사용자에 의한 커스터마이징이 가능

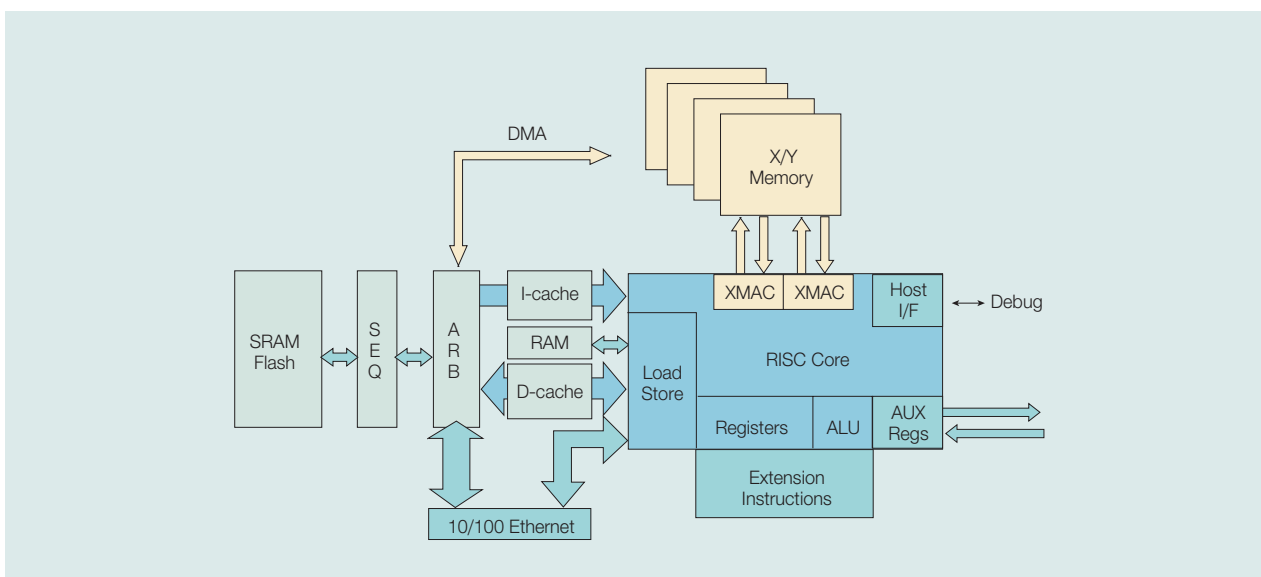


그림 3. ARCTangent 블록 다이어그램

한 32비트 RISC 마이크로프로세서 코어 ARCTangent를 제안하고 있다. ARCTangent 프로세서는 Xtensa와 마찬가지로 사용자에게 의한 합성, Configuration 설정, 확장이 가능하다(그림 3 참조). 따라서 개발자는 소프트웨어를 고정 CPU 아키텍처에 맞춰 변경할 필요 없고, 소프트웨어에 맞춰 독창적으로 하드웨어를 변경하는 것이 가능하다. 뿐만 아니라 ARCTangent 프로세서는 처리 성능, DSP처리, I/O 처리, 소비전력, 실리콘 면적, 가격 등을 개발자가 최적화할 수 있다. 또한 ARCTangent는 VHDL 또는 Verilog 합성 가능한 코어로 제공되어 모든 제조 프로세스의 선택이 가능하고 프로세스 이행도 용이하다.

ARCTangent 기술은 커스텀 명령어의 작성 기능에 의해 시스템의 분할에 유연성을 제공한다. 또한 쓰기 쉬운 GUI에 의해 커스텀 프로세서를 즉석에서 작성할 수 있다. ARCTangent 프로세서의 시스템 인터페이스는 유연성이 풍부해 주변 장치를 빠르게 통합할 수 있다. 이는 기존 프로세서 코어에서 볼 수 있는 고정 버스에 필요한 글루로직(glue logic)을 작성할 필요가 없다는 것을 의미한다.

### 자유로운 커스터마이징

ARCTangent 프로세서 코어는 하드웨어/소프트웨어 엔지니어가 특정한 애플리케이션에 특화된 커스터마이징 하드웨어 엔진(마이크로프로세서, 마이크로컨트롤러, 프로토콜 엔진, 패킷 프로세서)을 개발할 수 있게 설계되어 있다. ARCTangent 개발 툴을 사용하면, 커스텀 프로세서를 포인트 앤드 클릭 조작으로 간단히 몇 시간 안에 작성하여 검증할 수 있다.

ARCTangent는 유저에 의한 커스터

마이징이 이루어져도 프로세서 코어 중심 부분은 안정화돼 있어 일관성을 유지하도록 설계되어 있다. 유저는 성능, 다이 사이즈, 명령어 세트, 버스 인터페이스, 소비전력, 전압, 특수한 기능 유닛 등을 자유롭게 컨트롤할 수 있다. 또한 ARCTangent 코어는 ARC의 개발 툴과 유저 IP, 서드파티 IP를 사용하고 확장할 수 있다. 이외에도 32비트 RISC 아키텍처에서 단일 코어를 유저의 마음대로 기능에 따라 DSP 및 컨트롤러로서 사용 가능하다.

### ARC의 재무장

ARC는 Configurable 프로세서 코어 라이선스를 시작한 최초의 기업이지만, Tensilica 등 새로운 경쟁 상태의 잇단 등장으로 고전을 면치 못하고 있다. 그동안 ARC는 이 시장에서 주도권을 되찾기 위한 노력을 지속해 왔지만, 지금까지의 평가는 그리 긍정적이지 않다.

그러나 최근에 발표한 ARC 600이 이 회사의 중요한 전환점이 될지는 지켜볼 일이지만, 대반전을 노린 전략 제품임에는 의심의 여지가 없어 보인다. ARC 600은 기존 ARCTangent-A5의 후속 제품으로, 동작 주파수를 25~30% 향상시켰고 동작 주파수 당 소비전력을 30% 감소시켰다. 또한 정적 분기 예측 메커니즘과 소비전력 저감 기능을 갖추었다. ARC의 발표자료에 의하면, ARC 600 코어의 동작 주파수와 회로 면적은 경쟁사 Tensilica의 Xtensa V 프로세서 코어와 거의 동등하나 동작 주파수 당 소비전력은 절반에 불과하다.

구체적으로 살펴보면, 0.18마이크론 제조 기술을 적용할 경우 동작 주파수는

200MHz이며 소비전력은 0.13mW/MHz이다. 그리고 0.13마이크론 제조 기술을 적용할 경우에 동작 주파수는 290MHz로 나타났으며 소비전력은 0.04mW/MHz이다. 기본 구성의 회로 규모는 2만7000게이트. 회로 면적은 제조기술이 0.13마이크론 일 경우에 0.15제곱 밀리미터라고 알려져 있다.

ARC 600의 명령어 세트 아키텍처는 ARCTangent-A5와 같은 ARCompact™이다. 따라서, 소프트웨어는 바이너리 호환이 된다. ARCompact는 16비트 명령과 32비트 명령이 혼재하는 명령어 세트 아키텍처이다.

ARC 600의 기본 파이프라인 길이는 5단계로 1단계 증가되었다. 이 기본 파이프라인에 유저가 데이터 액세스용 파이프라인과 DSP 확장용 파이프라인을 추가할 수 있다. 데이터 액세스용 파이프라인은 2단계 혹은 3단계이며, DSP 확장용 파이프라인은 5단계이다. DSP 확장을 선택 사양으로 준비한 것은 ARCTangent-A5와 같다. Tensilica의 DSP 확장에 비하면 훨씬 작은 회로 규모라고 ARC측은 주장한다. ARC 600 코어용 하드웨어 개발 툴은 ARChitect 2이다. 이 툴을 사용하면 ARC 600 코어의 논리 합성 가능한 모델과 커스텀 확장부의 결합 작업이 간단해지는 것은 물론이다.

설계자들은 ARChitect 툴을 사용하여 새로운 명령을 선택하고, DSP 확장을 추가하고, 명령/데이터 캐시를 설정하고, scratch-pad 메모리를 추가하고, 인터럽트를 설정하고, 주변장치를 추가하고, 온칩 디버그 기능을 선택하고, 레지스터 파일을 변경하는 등 여러 가지 조작을 할 수 있다. 또한 RTL 파일을 업

계표준 합성 톨이나 시뮬레이터용으로 자동 생성한다.

지난해 12월, ARC는 ARC 600 코어를 기반으로 디지털 오디오 플레이어 위한 프로세서 코어 'ARC 600 Digital Audio Platform'을 출시했다. 코어의 회로 규모는 약 5만 게이트. 동작 주파수 당 소비전력은 0.13마이크론 제조 기술을 적용했을 경우 0.1mW~0.2mW/MHz이다.

이 제품은 다양한 디지털 오디오 규격을 지원하는 인코드/디코드 처리용 코어이다. 이 코어는 MP3 인코드/디코드, MPEG4 AAC 인코드/디코드, AC-3 인코드/디코드, WMA 인코드를 지원한다. 또한 ARC는 디지털 오디오용으로 24종류의 커스텀 명령을 개발하여 ARC 600 코어의 명령어 세트에 추가했다.

## 주요 쟁점

Tensilica가 2년 전에 발표한 Xtensa V는 ARC의 ARCTangent-A5보다도 높은 최대 동작 주파수를 제공했다. 이에 비해 ARCTangent-A5는 200MHz의 벽을 넘을 수 없었다. 그러나 Configurable 프로세서에서 최대 동작 주파수는 프로세서의 성능을 대표하는 가장 중요한 지표는 아니다. 사실, Configurable 프로세서에서는 커스텀 확장에 의해 개선의 여지가 충분히 있기 때문이다. Tensilica에서는 병렬 처리와 기타 기술들을 잘 활용하고 또 TIE 명령어를 사용하는 경우, 10배에서 100배 또는 그보다 훨씬 높은 성능 향상을 가져올 수 있다고 주장한다. 그럼에도 불구하고 양사가 최대 동작 주파수를 강조하는 것은 판매 전력상 간과할 수 없는 파라미터이라는 인식 때문인 것으로 판단해 볼 수 있다.

**표 1. Configurable 프로세서 코어**

| 구분 \ 벤더             | ARC International | Tensilica       |
|---------------------|-------------------|-----------------|
| 프로세서 코어 명칭          | ARC 600           | Xtensa V        |
| 아키텍처                | 32비트 RISC         | 32비트 RISC       |
| 명령어 세트 아키텍처         | ARCompact         | Xtensa V        |
| 코어 공급 형태            | 논리합성 가능한 소프트 코어   | 논리합성 가능한 소프트 코어 |
| 파이프라인               | 5단계               | 5단계             |
| 표준 명령의 명령 길이        | 32/16비트           | 24/16비트         |
| 주문형 명령의 명령 길이       | 32/16비트           | 24비트            |
| DSP 확장              | 선택                | 선택              |
| 부동소수점 연산 확장         | 없음                | 선택              |
| 시양 설정 가능한 인터럽트      | 있음                | 있음              |
| 설정 가능한 캐시 용량        | 0~32K 바이트         | 0~32K 바이트       |
| 동작 주파수(0.13마이크론 기술) | 290MHz            | 350MHz          |

물론, 커스텀 확장을 추가하거나 성능 중심으로 논리 합성을 하는 경우 많은 전력을 소비하게 될 것이다. 커스터마이징 가능한 프로세서 코어를 대표적인 범용 임베디드 기기용 마이크로프로세서 코어로서 권피규레이션하고 확장하면 로직 게이트 수는 급격하게 증가하게 된다. 당연히 소비전력 증가를 수반하게 된다. 따라서, 커스터마이징 가능한 프로세서의 가장 큰 이점인 저소비 전력과 고성능 지향을 모두 만족시키기 위한 사양 정의와 기능 확장이 중요한 이슈가 될 수 있다.

한편, 최근 들어 ARC와 Tensilica의 주요 관심사가 오디오 확장으로 모아지고 있다. ARC가 제공하는 ARC 600 디지털 오디오 플랫폼은 MP3 플레이어나 디지털비디오카메라, 멀티미디어 지원 휴대전화 등을 타깃으로 하고 있다.

Tensilica는 ARC보다 앞서 지난해 9월 Xtensa V를 위한 24비트 디지털 오디오 엔진을 발표했다. ARC의 오디오 확장은 분해능이 24비트로 휴대형 MP3 플레이어 시장을 타깃하고 있다.

ARC 600 디지털 오디오 플랫폼은 ARC 600 코어와 16종류의 새로운 명령, 5종류의 인코드/디코드 처리 소프트웨어 등으로 구성되어 있다. 이에 대해 Tensilica의 Xtensa HiFi 오디오 엔진은 54종류의 새로운 명령과 23개의 새로운 레지스터, 10종류의 인코드/디코드 처리 소프트웨어를 탑재했다.

## 국내시장 침투력 미미한 수준

Configurable 프로세서가 국내에 정식으로 소개된 것은 대략 2년 전으로 거슬러 올라간다. 이 때는 이미 ARM이 임베디드 프로세서의 보편적인 기준으로 받아지고 있는 상황이었다. 에지소프트(EdgeSoft, www.edgesoft.co.kr) 권순준 사장의 증언에 의하면, ARM과 상호 보완적으로 사용할 수 있다는 사실에도 불구하고 진입장벽은 쉽게 무너지지 않았다. 또한 ARCTangent용 임베디드 소프트웨어를 전문으로 판매하는 하나텔레콤(www.hana-tech.com) 박인순 사장과 권순준 사장이 공통적으로 지적한 부

분은 가격문제다. 국내 SoC 설계회사들이 Configurable 프로세서를 구매하기에는 여전히 부담가는 가격이라는 것.

그러나, 시장확대의 부진이 국내에 국한된 것만은 아니다. 세계적으로도 Configurable 프로세서의 시장 파이는 벤더들의 기대를 채우지 못하고 있는 것이 현실이다. 여기에는 그럴 만한 이유가 있겠지만, 'Configurable'이라는 한 가지 특징에서 찾아볼 수 있다.

Configurable IP는 다양한 설계 접근이 가능하다는 장점이 있지만, 새로운 기능이 추가될 때마다 톨에 의한 기회비용을 지불해야 한다는 점을 기억해야 한다. 예컨대, Configurable 프로세서 코어의 구조는 비교적 단순한 것으로 알려져 있다. 그렇지만, 마이크로아키텍처를 변경하는 데는 통상 2년의 시간을 필요로 한다(ARC의 예). 그 이유의 하나는 하드웨어와 소프트웨어의 개발 톨들이 마이크로아키텍처에 의존하고 있다는 데 있다. 마이크로아키텍처의 개정판을 낼 때마다 VHDL과 Verilog 모델, C 언어 기반의 명령어 세트 시뮬레이터, Cycle-Accurate 시뮬레이터를 각각 수정하거나 업데이트 할 필요가 있다. 또한 키퍼피케이션 톨, 어셈블러, 링커, C/C++ 컴파일러와 디버거도 수정하지 않으면 안된다. 이외에도 코드 프로파일러, 주변 회로 IP 코어, 실시간 운영체제 등의 소프트웨어군이 다양한 조정을 필요로 할 가능성도 있다. 이 점이 Configurable IP 벤더의 시장 진입을 저해하는 요인이 될 수 있다.

그럼에도 불구하고, "향후 칩의 밀도는 게이트 단위가 아닌 프로세서 단위가 될 것"이라는 권순준 사장의 강변은 거스를 수 없는 명제가 될 것이다. <sup>Real Time</sup>

| 인터뷰 |

## 크리스 로웬 Tensilica 사장 겸 CEO



LG전자가 Tensilica로부터 Xtensa 마이크로프로세서 기술을 라이선스했다(2003년 12월 3일). LG전자는 디지털멀티미디어방송(DMB) 프로젝트에 이용하기 위해 설계하고 있는 SoC에 이 기술을 적용했다. 크리스 로웬 사장으로 부터 Configurable 프로세서의 시장전망에 관해 들었다.

글: 안미영 기자

**EW: DMB 프로젝트에 Tensilica의 Xtensa가 채용된 계기는?**

**로웬** LG전자 엔지니어들이 Tensilica의 기술을 직접 사용해 본 후 실제로 검증과 설계 시간을 단축할 수 있는 장점을 확인하고 선택한 것이다. ARM에 익숙해 있는 엔지니어들이 Xtensa의 강점에 눈을 뜨기 시작한 것이다. 이것은 ARM이 제공하지 못하는 강점이 있기 때문이다. 바로 디자인의 유연성(flexibility)과 프로그래밍이다. 한마디로 전에는 hardwired RTL 접근이 필요했던 곳에 Xtensa를 적용하면 프로그램가능성(Programmability)을 증진시키고 또한 설계시간과 검증단계를 단축시킬 수 있다. 특히 LG전자와 디지털가전의 선두주자가 추구하는 기술혁신적인 디자인이 요구하는 강점을 Xtensa가 제공하고 있다.

**EW: 3월초 국회에서 DMB 사업관련 개정안이 통과되었다. 이에 따라 사업자에게 제공하기 위한 DMB 폰을 준비하는 삼성전자와 LG전자의 발걸음이 빨라질 것 같은데, 현재 DMB 폰의 파일럿 생산과 양산일정에서 Xtensa가 사용될 전망은?**

**로웬** LG전자가 이 일정에 맞추어 열심히 작업중이라는 것만 알고 있다. 전체적인 생산관련 스케줄은 아는 바가 없다. 현재로서는 LG의 SoC 설계에서 Xtensa 프로세서가 몇 개 들어가며 무슨 목적으로 쓰이는가에 대해서도 공개할 수 없다. 삼성전자의 경우, DMB 칩셋을 자체 개발했다고 알고 있다. 현 단계에서 Tensilica는 삼성의 DMB 사업과 관련하여 진행중인 프로젝트는 없다.

**EW: 현재 Tensilica의 주요 고객은?**

**로웬** 미국 미디어웍스(MediaWorks)사는 캠코더, 디지털카메라, 디지털비디오감시기와 디지털 휴대비디오 레코더 등 대량생산 컨슈머 기기를 위한 디자인에 Xtensa 프로세서와 Xtensa HiFi Audio Engine을 턴키 베이스로 사용하고 있다.

제품이 선적되고 있는 곳은, 이카노스(Ikanos)가 Xtensa를 사용해서 1백만 개 VDSL 포트를 생산했다. 애질런트(Agilent)는 Xtensa를 사용, 스토리지 네트워크 제품을 생산했다. JN이라는 미국 회사가 파이버 채널 컨트롤러용으로 칩 당 여덟 개의 Xtensa 프로세서를 사용했다. 또한 아스튜트네트워크(Astute Networks)라는 회사는 칩 당 열 개의 Xtensa를 사용해서 10기가비트 스토리지 프로세서를 설계하고 있다. 아비전(Avision)은 스캐너를 설계하는 데 Xtensa를 사용하고 있다. 그리고 JVC는 Xtensa를 사용하여 고품질 비디오카메라 GR-HD1을 설계하고 있다.

**EW: 현재 ARM이 주도하는 IP 시장에서 Tensilica의 시장 전략은?**

**로웬** 사실, ARM과 Tensilica는 서로 공존하고 있다. 공존하는 디자인의 수가 점차 늘고 있다. Tensilica는 RTL 대신 주요 애플리케이션 블록(key application block)에 쓰이고 있다면 ARM은 컨트롤러로 쓰이는 경향이 있다. 평균적으로 고객들은 칩 당 여섯 개의 Tensilica 프로세서를 사용하는 반면, ARM 컨트롤러는 하나를 쓰는 것이 일반적이다. 이런 맥락에서 IP 시장규모를 가능하게는 어렵다. 통상적으로 전에는 hardwired RTL로 채워졌던 소켓을 Tensilica 프로세서가 채우고 있다고 보면 된다. 그래서 우리가 실제로 잡을 수 있는 시장 기회가 상당히 크다.

결국 설계자가 직면하고 있는 가장 큰 도전은 SoC 설계가 복잡해지고 비용이 많이 드는 것이다. 따라서, 엔지니어링 자원을 더 잘 사용할 수 있는 방안을 찾아야 한다. 신제품을 시장에 빨리 내놓아야 하는 방안을 찾아야 한다. 이 때 Configurable 프로세서를 사용하게 되면, 엔지니어링 시간을 구한 단계에서 절약할 수 있기 때문에 혁신적인 면에 더 많이 집중하게 할 수 있다. 즉, 비용효과를 개선하고 재사용할 수 있는 Xtensa가 좋은 선택이 될 수 있다.